

**Strip conductor arrangement used in the electronics industry comprises a strip conductor arranged in a substrate, additional strip conductors, a covering layer, a hollow chamber, wall layers, plugs, and further layers**

**Publication number:** DE10341544

**Publication date:** 2005-04-07

**Inventor:** SCHINDLER GUENTHER (DE); PAMLER WERNER (DE); GABRIC ZVONIMIR (DE); UNGER EUGEN (DE)

**Applicant:** INFINEON TECHNOLOGIES AG (DE)

**Classification:**

- international: **H01L21/768; H01L23/522; H01L21/70; H01L23/52;**  
(IPC1-7): H01L21/768; H01L23/522

- European: H01L21/768B2D; H01L21/768B6; H01L23/522C

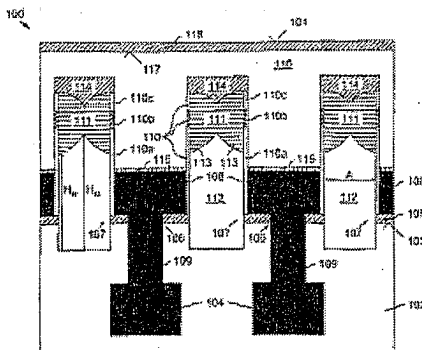
**Application number:** DE20031041544 20030909

**Priority number(s):** DE20031041544 20030909

Report a data error here

#### Abstract of DE10341544

Strip conductor arrangement comprises a strip conductor arranged in a substrate (102), additional strip conductors arranged next to each other over the substrate, a covering layer completely covering the additional strip conductors, a hollow chamber (112) arranged between the additional strip conductors and extending laterally to the additional strip conductors and to the covering layer, wall layers (100) delimiting the hollow chamber laterally to the additional strip conductors and to the covering layer, plugs (111) arranged over the hollow chamber and between the wall layers, a first layer arranged between the substrate and the additional strip conductors and the wall layers, and a second layer arranged on the plugs and the wall layers in the covering layer. - An INDEPENDENT CLAIM is also included for a process for the production of the strip conductor arrangement.



Data supplied from the esp@cenet database - Worldwide



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 103 41 544 A1 2005.04.07

(12)

## Offenlegungsschrift

(21) Aktenzeichen: 103 41 544.0

(22) Anmeldetag: 09.09.2003

(43) Offenlegungstag: 07.04.2005

(51) Int Cl.7: H01L 21/768  
H01L 23/522

(71) Anmelder:  
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:  
Viering, Jentschura & Partner, 80538 München

(72) Erfinder:  
Schindler, Günther, Dr., 80802 München, DE;  
Pamler, Werner, Dr., 80686 München, DE; Gabric,  
Zvonimir, 85604 Zorneding, DE; Unger, Eugen, Dr.,  
86161 Augsburg, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE 102 28 344 A1

DE 101 25 019 A1

DE 101 09 778 A1

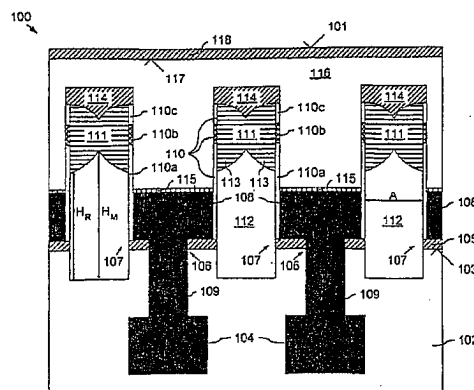
EP 10 26 726 A2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: Verfahren zum Herstellen einer Leiterbahnanordnung und Leiterbahnanordnung

(57) Zusammenfassung: Bei einem erfindungsgemäßen Verfahren werden über einem Substrat (102) eine erste Schicht (105) mit zwei Löchern (106, 107) und darüber ein Schichtstapel (301) erzeugt, wird durch den Schichtstapel (301) sowie das zweite Loch (107) hindurch und in das Substrat (102) hineinreichend eine Aussparung (302) erzeugt, wird in der Aussparung (302) an der mittleren Schicht (301b) des Schichtstapels (301) ein Stopfen (111) erzeugt, wird die obere Schicht (301c) des Schichtstapels (301) oberhalb des Stopfens (111) zum Erzeugen einer vergrößerten Aussparung (501) teilweise entfernt, wird in der vergrößerten Aussparung (501) eine zweite Schicht (114) erzeugt und werden der Schichtstapel (301) sowie das Substrat (102) durch das erste Loch (106) hindurch anisotrop geätzt.



**Beschreibung**

**[0001]** Die Erfindung betrifft ein Verfahren zum Herstellen einer Leiterbahnanordnung und eine Leiterbahnanordnung.

**[0002]** Integrierte Schaltungsanordnungen werden mit immer höherer Packungsdichte erzeugt. Dies hat zur Folge, dass Leiterbahnen in Metallisierungsebenen einen immer kleineren Abstand voneinander aufweisen. Dadurch steigen Kapazitäten, die zwischen den Leiterbahnen gebildet werden und zu hohen Signallaufzeiten, d.h. großer Signalverzögerung, hoher Verlustleistung und Übersprechen führen. Bisher wurde zur Isolation zwischen den Leiterbahnen hauptsächlich  $\text{SiO}_2$  als Dielektrikum verwendet, dessen relative Dielektrizitätskonstante  $\epsilon_r = 3,9$  beträgt.

**[0003]** Es sind einige Methoden zum Reduzieren der relativen Dielektrizitätskonstante  $\epsilon_r$  und damit zum Reduzieren der Kapazität zwischen Leiterbahnen innerhalb einer Leiterbahnebene bekannt, beispielsweise aus [1] bis [8].

**[0004]** Gemäß dem Stand der Technik werden Hohlräume zwischen den Leiterbahnen innerhalb einer Leiterbahnebene erzeugt. Das isolierende Dielektrikum, das die Kapazität zwischen den Leiterbahnen bestimmt, weist somit eine relative Dielektrizitätskonstante  $\epsilon_r$  auf, die fast gleich Eins ist.

**[0005]** Außerdem ist es bekannt, zur weiteren Verringerung der relativen Dielektrizitätskonstante  $\epsilon_r$  die Hohlräume zwischen den Leiterbahnen einer Metallisierungsebene zumindest zum Teil in die darunter und darüber befindlichen elektrischen Isolationschichten hineinragen zu lassen. Aus dem Stand der Technik sind dafür einige Herstellungsverfahren bekannt, z.B. aus [9]. Diese Verfahren sind jedoch in der Regel sehr kompliziert und daher aufwändig und teuer.

**Aufgabenstellung**

**[0006]** Der Erfindung liegt somit das Problem zugrunde, ein Verfahren zum Herstellen einer Leiterbahnanordnung sowie eine Leiterbahnanordnung anzugeben, bei dem/der die Hohlräume zwischen den Leiterbahnen im Vergleich zum Stand der Technik einfacher und damit kostengünstiger hergestellt werden können.

**[0007]** Das Problem wird durch ein Verfahren zum Herstellen einer Leiterbahnanordnung sowie durch eine Leiterbahnanordnung mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

**[0008]** Bei einem Verfahren zum Herstellen einer Leiterbahnanordnung wird zunächst über einem Substrat mit einer vergrabenen Leiterbahn eine erste

Schicht erzeugt, welche ein erstes Loch sowie ein zweites Loch aufweist, wobei mittels der beiden Löcher das Substrat freigelegt wird und wobei mindestens das erste Loch lateral oberhalb der mindestens einen vergrabenen Leiterbahn angeordnet wird. Dann wird über der ersten Schicht ein Schichtstapel mit einer unteren Schicht sowie einer oberen Schicht und mit einer mittleren Schicht aus einem ersten elektrischen Isolationsmaterial erzeugt. Daraufhin wird durch den Schichtstapel sowie das zweite Loch hindurch und in das Substrat hineinreichend eine erste Aussparung erzeugt. In der ersten Aussparung wird nun an der mittleren Schicht ein Stopfen erzeugt, welcher die erste Aussparung nach oben hin abschließt, womit ein Hohlraum gebildet wird. Anschließend wird die obere Schicht des Schichtstapels oberhalb des Stopfens teilweise entfernt, so dass über dem Stopfen eine vergrößerte Aussparung mit einer lateralen Ausdehnung erzeugt wird, welche größer ist als die laterale Ausdehnung des Hohlraums. In der vergrößerten Aussparung wird anschließend eine zweite Schicht erzeugt, wobei die zweite Schicht die vergrößerte Aussparung ausfüllt. Schließlich werden unter Verwenden der zweiten Schicht als Ätzmaske der Schichtstapel sowie das Substrat durch das erste Loch hindurch anisotrop geätzt, bis die mindestens eine vergrabene Leiterbahn zumindest teilweise freigelegt ist, wodurch eine zweite Aussparung erzeugt wird.

**[0009]** Eine Leiterbahnanordnung weist auf: ein Substrat, mindestens eine in dem Substrat vergrabene Leiterbahn, zwei über dem Substrat nebeneinander angeordnete zusätzliche Leiterbahnen, wobei mindestens eine zusätzliche Leiterbahn mittels eines elektrischen Kontakts mit der mindestens einen vergrabenen Leiterbahn elektrisch gekoppelt ist, eine Deckschicht, welche die zwei zusätzlichen Leiterbahnen bzw. das Substrat vollständig überdeckt, einen Hohlraum zwischen den zwei zusätzlichen Leiterbahnen, welcher sich von innerhalb der Deckschicht bis in das Substrat hinein erstreckt, Wandschichten, welche den Hohlraum lateral zu den zwei zusätzlichen Leiterbahnen sowie zu der Deckschicht begrenzen, einen über dem Hohlraum sowie zwischen zwei benachbarten Wandschichten angeordneten Stopfen, eine erste Schicht zwischen dem Substrat und den zwei zusätzlichen Leiterbahnen bzw. den Wandschichten, und eine zweite Schicht auf dem Stopfen und den zwei benachbarten Wandschichten vergraben in der Deckschicht.

**[0010]** Die erste Schicht mit den beiden Löchern ist insbesondere derart strukturiert, dass mittels der beiden Löcher das Substrat in geeigneter Weise teilweise freigelegt ist. Die beiden Löcher erstrecken sich somit im Wesentlichen in vertikaler Richtung durch die erste Schicht hindurch.

**[0011]** Ein Vorteil der Erfindung ist darin zu sehen,

dass die Hohlräume sowie die lateral neben den Hohlräumen angeordneten Leiterbahnen mit den darunter angeordneten elektrischen Kontakten in einem selbstjustierten Prozess erzeugt werden und somit ein aufwändig zu justierender, lithographischer Zwischenschritt vermieden wird. Auf Grund der geeignet strukturierten ersten Schicht im Zusammenhang mit den Löchern und den Wandschichten werden die Hohlräume bezüglich der Leiterbahnen selbstjustiert angeordnet. Dies ist gleichbedeutend mit einer im Vergleich zum Stand der Technik einfacheren Herstellung der Hohlräume. Diese bewirken darüber hinaus eine relative Dielektrizitätskonstante  $\epsilon_r$  zwischen benachbarten Leiterbahnen, welche nur gering von Eins abweicht. Die Leiterbahnanordnung ermöglicht somit auch eine erhebliche Reduzierung der Gesamtkapazität innerhalb einer integrierten Schaltung.

**[0012]** Ein weiterer Vorteil der Leiterbahnanordnung ist, dass die Hohlräume unerwünschte Streufelder zwischen den Leiterbahnen, welche von den Leiterbahnen oberhalb bzw. unterhalb der tatsächlichen Leiterbahnebene in der Leiterbahnanordnung erzeugt werden, erheblich reduzieren. Somit beträgt die effektive relative Dielektrizitätskonstante  $\epsilon_{eff}$ , welche sowohl von der relativen Dielektrizitätskonstante des Hohlraums als auch von derjenigen des umgebenden Materials beeinflusst wird, in etwa Zwei. Dabei ist der Wert der effektiven relativen Dielektrizitätskonstante  $\epsilon_{eff}$  von der Geometrie der gesamten Leiterbahnanordnung abhängig.

**[0013]** Außerdem werden Koppelkapazitäten zwischen den Leiterbahnen auf Grund von jetzt unnötigen Ätz- und/oder CMP-Stoppschichten vermieden. Denn diese Stoppschichten werden während des Erzeugens der Hohlräume, vorzugsweise mittels Ätzung, derart unterbrochen, dass benachbarte Leiterbahnen mittels einer solchen Stoppschicht keinen Berührungskontakt aufweisen.

**[0014]** In den Hohlräumen befindet sich nach Fertigstellung der Leiterbahnanordnung bevorzugt Luft, Vakuum oder ein elektrisch isolierendes Gas zur Verbesserung der elektrischen Überschlagsfestigkeit, beispielsweise Schwefelhexafluorid ( $\text{SF}_6$ ).

**[0015]** Die nachfolgend beschriebenen Ausführungsbeispiele des erfindungsgemäßen Verfahrens führen sinngemäß zu entsprechenden Ausführungsbeispielen der erfindungsgemäßen Leiterbahnanordnung.

**[0016]** Vorzugsweise wird in der zweiten Aussparung ein elektrischer Kontakt erzeugt. Zusätzlich oder alternativ wird in der zweiten Aussparung lateral neben der unteren Schicht bevorzugt eine zusätzliche Leiterbahn erzeugt. Diese zusätzliche Leiterbahn kann folglich mittels eines elektrischen Kontakts mit

der mindestens einen vergrabenen Leiterbahn elektrisch gekoppelt werden.

**[0017]** Diese zusätzlichen Leiterbahnen und/oder der elektrische Kontakt werden bevorzugt dadurch erzeugt, dass elektrisch leitfähiges Material in die zweite Aussparung eingebracht wird, bis dieses über die zweite Schicht übersteht, dass dann das überstehende elektrisch leitfähige Material entfernt wird, und dass daraufhin das elektrisch leitfähige Material in der zweiten Aussparung mittels einer Ätzung bis unter den Stopfen zurückgeätzt wird.

**[0018]** Das Entfernen des über die zweite Schicht überstehenden elektrisch leitfähigen Materials erfolgt bevorzugt mittels chemisch-mechanischen Polierens, wobei das überstehende elektrisch leitfähige Material auf eine gemeinsame Oberfläche mit der zweiten Schicht eingeebnet wird. Die Ätzung des elektrisch leitfähigen Materials in der zweiten Aussparung erfolgt vorzugsweise isotrop.

**[0019]** In einer möglichen Weiterbildung des erfindungsgemäßen Verfahrens wird über der zweiten Schicht und einem eventuell vorhandenen elektrischen Kontakt bzw. einer eventuell vorhandenen zusätzlichen Leiterbahn eine Deckschicht erzeugt. Auf dieser Deckschicht kann darüber hinaus eine dritte Schicht erzeugt werden.

**[0020]** Vorzugsweise werden das erste Loch sowie das zweite Loch mittels einer geeigneten Strukturierung der ersten Schicht erzeugt. Beispielsweise kann als Material für die erste Schicht ein Photolack zur Anwendung kommen, welcher unter Verwenden einer entsprechenden Belichtungsmaske in einem Lithographieprozess belichtet und nachfolgend geätzt wurde.

**[0021]** Bevorzugt wird die erste Aussparung durch den Schichtstapel und das zweite Loch hindurch sowie in das Substrat hinein mittels einer anisotropen Ätzung erzeugt.

**[0022]** In einer bevorzugten Weiterbildung des erfindungsgemäßen Verfahrens wird der Stopfen dadurch erzeugt, dass in der ersten Aussparung ein zweites elektrisches Isolationsmaterial aufgebracht wird, welches sich selektiv an dem ersten elektrischen Isolationsmaterial der mittleren Schicht des Schichtstapels aufbringen lässt, wobei sich im Längsschnitt durch die erste Aussparung zwei wulstartige Teile an den Grenzflächen der mittleren Schicht ausbilden, welche sich mittig stoffschlüssig verbinden.

**[0023]** Zum Abschließen eines jeden Hohlraums kommt also eine selektive Abscheidung des die Stopfen bildenden Materials an den mittleren Schichten zur Anwendung. Es lässt sich also durch eine geeignete Materialwahl erreichen, dass sich das zweite

elektrische Isolationsmaterial ausschließlich an dem ersten elektrischen Isolationsmaterial aufbringen lässt.

**[0024]** Vorzugsweise wird/werden die mindestens eine vergrabene Leiterbahn sowie der eventuell vorhandene elektrische Kontakt sowie die eventuell vorhandene zusätzliche Leiterbahn mit einer Kapselschicht aus einem Kapselmateriale umschlossen, wobei das Kapselmateriale mechanisch härter als ein für die Leiterbahnen sowie den elektrischen Kontakt verwendetes elektrisch leitfähiges Material und/oder ein für das elektrisch leitfähige Material als Barriere wirkendes Material ist. Das Kapselmateriale kann beispielsweise eine Nitrid-Verbindung sein.

**[0025]** Wenn ein als Barriere wirkendes Material verwendet wird, kann die Kapselschicht auch als Barrierenschicht bezeichnet werden. Eine solche Barrierenschicht kann jedoch auch nur lokal zum Begrenzen des elektrisch leitfähigen Materials vorgesehen sein.

**[0026]** Anschaulich können die den Hohlraum begrenzenden Wandflächen der benachbarten Schichtstapel auch als Wandschichten bezeichnet werden.

**[0027]** In einer bevorzugten Weiterbildung der erfindungsgemäßen Leiterbahnordnung weisen die Wandschichten übereinander eine untere Schicht, eine mittlere Schicht aus einem ersten elektrischen Isolationsmaterial und darüber eine obere Schicht auf. Diese drei Schichten der Wandschichten resultieren bevorzugt aus dem in dem erfindungsgemäßen Verfahren erzeugten Schichtstapel.

**[0028]** Vorzugsweise ist der Stopfen zwischen zwei benachbarten Wandschichten im Bereich der mittleren Schicht angeordnet und weist der Stopfen ein zweites elektrisches Isolationsmaterial auf, welches sich selektiv an dem ersten elektrischen Isolationsmaterial aufbringen lässt. Dabei können das erste elektrische Isolationsmaterial und das zweite elektrische Isolationsmaterial auch gleich sein. Als erstes elektrisches Isolationsmaterial wird vorzugsweise auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet und als zweites elektrisches Isolationsmaterial wird bevorzugt auf Ozon-aktiviertem Tetraethylorthosilikat ( $\text{O}_3/\text{TEOS}$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet.

**[0029]** Der Hohlraum weist in der Mitte zwischen zwei benachbarten Wandschichten bevorzugt eine größere vertikale Ausdehnung auf als direkt neben einer der zwei benachbarten Wandschichten.

#### Ausführungsbeispiel

**[0030]** Ein Ausführungsbeispiel der Erfindung ist in den Figuren dargestellt und wird im Folgenden näher

erläutert. Dabei bezeichnen gleiche Bezugszeichen gleiche Komponenten.

**[0031]** Es zeigen

**[0032]** Fig. 1 einen Querschnitt durch eine Leiterbahnordnung gemäß einem Ausführungsbeispiel der Erfindung;

**[0033]** Fig. 2 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem ersten Zeitpunkt während eines Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0034]** Fig. 3 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem zweiten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0035]** Fig. 4 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem dritten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0036]** Fig. 5 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem vierten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0037]** Fig. 6 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem fünften Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0038]** Fig. 7 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem sechsten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0039]** Fig. 8 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem siebten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel;

**[0040]** Fig. 9 einen Querschnitt durch eine noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 1 zu einem achten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnordnung gemäß dem Ausführungsbeispiel; und

**[0041]** Fig. 10 eine Draufsicht auf die noch nicht fertiggestellte Leiterbahnordnung gemäß Fig. 2.

[0042] Fig. 1 zeigt einen Querschnitt durch eine Leiterbahnanordnung 100 gemäß einem Ausführungsbeispiel der Erfindung senkrecht zur Leiterbahnanordnungsoberfläche 101.

[0043] Die Leiterbahnanordnung 100 weist ein Substrat 102 mit einer Substratoberfläche 103 auf. In dem Substrat 102 befinden sich mehrere, gemäß dem Ausführungsbeispiel zwei, vergrabene Leiterbahnen 104. Die Substratoberfläche 103 ist gemäß dem Ausführungsbeispiel im Wesentlichen eine Ebene.

[0044] Als Substratmaterial wird gemäß dem Ausführungsbeispiel massives Siliziumdioxid ( $\text{SiO}_2$ ) als elektrisches Isolationsmaterial gewählt. Die vergrabenen Leiterbahnen 104 weisen ein elektrisch leitfähiges Material, gemäß dem vorliegenden Ausführungsbeispiel Kupfer, auf. Als Substratmaterial kann alternativ jedes beliebige Material verwendet werden, beispielsweise ein Halbleiter oder ein elektrisch leitfähiges Material, solange sichergestellt ist, dass es zwischen den vergrabenen Leiterbahnen 104 nicht zu einem unbeabsichtigten elektrischen Kurzschluss kommt.

[0045] Letzteres kann beispielsweise dadurch gewährleistet sein, dass die vergrabenen Leiterbahnen 104 sowie mit diesen elektrisch gekoppelte, im Substrat vergrabene zusätzliche Elemente (nicht dargestellt) und/oder mit diesen elektrisch gekoppelte, nachfolgend noch beschriebene elektrisch leitfähige Komponenten mittels einer elektrisch isolierenden Kapselschicht eingekapselt sind.

[0046] Das vorliegende Ausführungsbeispiel wird zwar mit zwei im Substrat 102 vergrabenen Leiterbahnen 104 beschrieben, jedoch kann bzw. können erfindungsgemäß auch nur eine bzw. mehr als zwei vergrabene Leiterbahnen 104 in dem Substrat 102 vorgesehen sein.

[0047] Auf der Substratoberfläche 103 ist eine erste Ätzstoppschicht 105 angeordnet, welche mindestens ein erstes Loch 106 und mindestens zwei zweite Löcher 107 aufweist, wobei das mindestens eine erste Loch 106 lateral oberhalb einer vergrabenen Leiterbahn 104 angeordnet ist. Die ersten und zweiten Löcher 106, 107 erstrecken sich durch die erste Ätzstoppschicht 105 hindurch, so dass die Substratoberfläche 103 zumindest teilweise freigelegt ist. Da gemäß dem Ausführungsbeispiel zwei vergrabene Leiterbahnen 104 vorgesehen sind, weist die erste Ätzstoppschicht 105 zwei erste Löcher 106 auf. Die ersten und zweiten Löcher 106, 107 sind gemäß dem Ausführungsbeispiel im dargestellten Querschnitt durch die Leiterbahnanordnung 100 alternierend nebeneinander angeordnet vorgesehen. Zur Anordnung der ersten und zweiten Löcher 106, 107 wird im Übrigen auf Fig. 10 verwiesen. Als Material für die

erste Ätzstoppschicht 105 wird gemäß dem Ausführungsbeispiel Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) gewählt, welches aufgrund seiner elektrisch isolierenden Eigenschaft einen unbeabsichtigten elektrischen Kurzschluss zwischen den nachfolgend noch beschriebenen elektrisch leitfähigen Komponenten verhindert.

[0048] Auf der ersten Ätzstoppschicht 105 sind nebeneinander liegende Leiterbahnen 108 angeordnet. Die über den ersten Löchern 106 angeordneten Leiterbahnen 108 sind jeweils mittels eines elektrischen Kontakts 109 durch das jeweilige erste Loch 106 hindurch mit der jeweiligen darunter angeordneten vergrabenen Leiterbahn 104 elektrisch gekoppelt. Die Leiterbahnen 108 und die elektrischen Kontakte 109 weisen ein elektrisch leitfähiges Material, gemäß dem Ausführungsbeispiel Kupfer, auf und können mittels einer nicht dargestellten Kapselschicht zur elektrischen Isolation, zur Vermeidung von Elektromigration sowie zur Vermeidung von Diffusion von elektrisch leitfähigem Material in die Umgebung umschlossen sein.

[0049] Im Randbereich der zweiten Löcher 107 befinden sich über der ersten Ätzstoppschicht 105 Wandschichten 110 aus jeweils einer unteren Schicht 110a, einer mittleren Schicht 110b und einer oberen Schicht 110c, wobei die unteren Schichten 110a die Leiterbahnen 108 zu den zweiten Löchern 107 lateral begrenzen. Zum Vermeiden unbeabsichtigter elektrischer Kurzschlüsse weisen zumindest die unteren Schichten 110a ein elektrisch isolierendes Material auf. Gemäß dem Ausführungsbeispiel wird für die unteren Schichten 110a und die oberen Schichten 110c auf plasma-aktiviertem Tetraethylorthosilikat (PE-TEOS) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet, während für die mittleren Schichten 110b auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet wird. Das auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierende Siliziumdioxid ( $\text{SiO}_2$ ) wird dabei üblicherweise in einem PECVD-Prozess (PECVD = Plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) abgeschieden.

[0050] Zwischen jeweils zwei benachbarten Wandschichten 110 befindet sich über dem zweiten Loch 107 an der mittleren Schicht 110b ein Stopfen 111. Ein Hohlraum 112 wird jeweils begrenzt von dem Stopfen 111, den angrenzenden Wandschichten 110 und dem Substrat 102, wobei sich der Hohlraum 112 mit einer lateralen Breite A durch das zugehörige zweite Loch 107 hindurch bis in das Substrat 102 hinein erstreckt. Anschaulich weist das Substrat 102 somit bei Betrachtung von der ersten Ätzstoppschicht 105 aus unterhalb der zweiten Löcher 107 jeweils einen Bereich auf, in welchem Substratmaterial fehlt.

[0051] Der Stopfen 111 setzt sich im Längsschnitt durch den Hohlraum 112 aus zwei wulstartigen Teilen

**113** zusammen, welche an der jeweiligen mittleren Schicht **110b** ausgebildet sind und welche mittig, d.h. bei A/2, stoffschlüssig miteinander verbunden sind. Aufgrund des aus zwei wulstartigen Teilen **113** zusammengesetzten Stopfens **111** ergeben sich für den Hohlraum **112** eine benachbart zur Wandschicht **110** befindliche Randhöhe  $H_R$  und eine in der lateralen Mitte des Hohlraums **112**, d.h. bei A/2, befindliche Mittenhöhe  $H_M$ , wobei die Mittenhöhe  $H_M$  größer als die Randhöhe  $H_R$  ist. Der im oberen Bereich des Hohlraums **112**, direkt unter dem Stopfen **111** und lateral in der Mitte des Hohlraums **112**, d.h. bei A/2, befindliche Raum stellt anschaulich einen Zwickel dar. Der Stopfen **111** weist ein elektrisches Isolationsmaterial auf, wobei dieses derart gewählt ist, dass sich der Stopfen **111** ausschließlich an der mittleren Schicht **110b** aufbringen lässt. Auf diese Weise lässt sich die Position des Stopfens **111** in der Höhe relativ zum Substrat **102** bzw. den Leiterbahnen **108** exakt einstellen.

**[0052]** Gemäß dem vorliegenden Ausführungsbeispiel wird als Material für den Stopfen **111** auf ozon-aktiviertem Tetraethylorthosilikat ( $O_3$ /TEOS) basierendes Siliziumdioxid ( $SiO_2$ ) verwendet. Dieses lässt sich nur auf dem auf plasmaangeregtem Silan ( $SiH_4$ ) basierenden Siliziumdioxid ( $SiO_2$ ), nicht aber auf dem auf plasma-aktiviertem Tetraethylorthosilikat (PE-TEOS) basierenden Siliziumdioxid ( $SiO_2$ ) aufbringen.

**[0053]** Es ist insbesondere ein Merkmal der vorliegenden Erfindung, dass die Leiterbahnen **108** in Bezug auf die Mittenhöhe  $H_M$  der Hohlräume **112** mittig zu den Wandschichten **110**, d.h. im Wesentlichen neben der unteren Teilschicht **110a**, angeordnet sind. Anschaulich ragen die Hohlräume **112** folglich in vertikaler Richtung nach oben sowie nach unten über die vertikale Ausdehnung der Leiterbahnen **108** hinaus.

**[0054]** In den Hohlräumen **112** befindet sich nach Fertigstellung der Leiterbahnanordnung **100** bevorzugt Luft, Vakuum oder ein elektrisch isolierendes Gas zur Verbesserung der elektrischen Überschlagsfestigkeit, gemäß diesem Ausführungsbeispiel Schwefelhexafluorid ( $SF_6$ ).

**[0055]** Auf jedem Stopfen **111** sowie auf den jeweils an den Stopfen **111** angrenzenden beiden Wandschichten **110** ist eine zweite Ätzstoppschicht **114** mit einer laterale Breite B angeordnet, wobei die laterale Breite B der zweiten Ätzstoppschicht **114** größer als die laterale Breite A des darunter befindlichen Hohlraums **112** ist. Gemäß dem Ausführungsbeispiel wird als Material für die zweite Ätzstoppschicht **114** Siliziumnitrid ( $Si_3N_4$ ) verwendet.

**[0056]** Die Leiterbahnen **108** werden bezüglich des Substrates **102** nach oben von einer Barrierenschicht **115** begrenzt. Diese Barrierenschicht **115** verhindert,

dass elektrisch leitfähiges Material der Leiterbahnen **108** nach oben weg diffundieren kann. Als Material für die Barrierenschicht **115** wird in diesem Ausführungsbeispiel eine elektrochemisch abgeschiedene Legierung aus Kobalt, Wolfram und Phosphor bzw. aus Kobalt, Wolfram und Bor verwendet.

**[0057]** Auf der Barrierenschicht **115** sowie auf der zweiten Ätzstoppschicht **114** ist eine die Leiterbahnanordnung **100** nach oben hin auffüllende elektrische Isolationsschicht **116** aufgebracht. Diese wird von einer bezüglich der Substratoberfläche **103** im Wesentlichen parallelen Zwischenoberfläche **117** begrenzt, auf welcher eine dritte Ätzstoppschicht **118** mit der die Leiterbahnanordnung **100** nach oben hin abschließenden Leiterbahnanordnungsoberfläche **101** angeordnet ist. Gemäß dem Ausführungsbeispiel wird als Material für die dritte Ätzstoppschicht **118** Siliziumnitrid ( $Si_3N_4$ ) verwendet.

**[0058]** Die dritte Ätzstoppschicht **118** dient für eine zusätzliche Metallisierungsebene (d.h. eine zusätzliche Schicht mit Leiterbahnen, Halbleiterbauelementen und/oder Kontaktelementen), welche noch über der Leiterbahnanordnung **100** aufgebracht werden soll, als Basis und übernimmt dann für die zusätzliche Metallisierungsebene anschaulich die Funktion der oben beschriebenen ersten Ätzstoppschicht.

**[0059]** Im Folgenden wird nun schrittweise ein Verfahren zum Herstellen der Leiterbahnanordnung **100** gemäß dem Ausführungsbeispiel der Erfindung beschrieben.

**[0060]** In Fig. 2 ist ein Querschnitt senkrecht zur Substratoberfläche **103** durch eine noch nicht fertiggestellte Leiterbahnanordnung **200** zu einem ersten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnanordnung **100** gemäß Fig. 1 gezeigt.

**[0061]** Als Leiterbahnanordnung **200** wird ein Substrat **102**, gemäß dem Ausführungsbeispiel aus massivem Siliziumdioxid ( $SiO_2$ ), mit einer Substratoberfläche **103** bereitgestellt. In dem Substrat **102** befinden sich mehrere, gemäß dem Ausführungsbeispiel zwei, vergrabene Leiterbahnen **104**. Die vergrabenen Leiterbahnen **104** weisen ein elektrisch leitfähiges Material, gemäß dem vorliegenden Ausführungsbeispiel Kupfer, auf.

**[0062]** Auf der Substratoberfläche **103** wird eine erste Ätzstoppschicht **105** aufgebracht, welche mittels eines konventionellen Lithographie- und Ätzverfahrens strukturiert wird. Bei dieser Strukturierung werden in der erste Ätzstoppschicht **105** mindestens ein erstes Loch **106** und mindestens zwei zweite Löcher **107** erzeugt, wobei sich die ersten und zweiten Löcher **106**, **107** durch die erste Ätzstoppschicht **105** hindurch erstrecken und somit ein Teil der Substratoberfläche **103** wieder freigelegt wird. Das mindestens

eine erste Loch **106** wird lateral oberhalb einer vergrabenen Leiterbahn **104** angeordnet. Da gemäß dem Ausführungsbeispiel zwei vergrabene Leiterbahnen **104** vorgesehen sind, weist die erste Ätzstoppschicht **105** somit zwei erste Löcher **106** auf. Die ersten und zweiten Löcher **106**, **107** sind gemäß dem Ausführungsbeispiel im dargestellten Querschnitt durch die noch nicht fertiggestellte Leiterbahnanordnung **200** alternierend nebeneinander angeordnet vorgesehen. Zur Anordnung der ersten und zweiten Löcher **106**, **107** wird im Übrigen auf **Fig. 10** verwiesen.

**[0063]** Als Material für die erste Ätzstoppschicht **105** wird gemäß dem Ausführungsbeispiel Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) gewählt, welches aufgrund seiner elektrisch isolierenden Eigenschaft einen unbeabsichtigten elektrischen Kurzschluss zwischen den nachfolgend noch beschriebenen elektrisch leitfähigen Komponenten verhindert.

**[0064]** Über dem Substrat **102** sowie der ersten Ätzstoppschicht **105** wird anschließend in üblichen Abscheideverfahren ein Schichtstapel **301** erzeugt. Dieser Schichtstapel **301** weist eine untere Schicht **110a**, eine mittlere Schicht **110b** und eine obere Schicht **110c** auf. Gemäß dem Ausführungsbeispiel wird für die untere Schicht **110a** und die obere Schicht **110c** auf plasma-aktiviertem Tetraethylorthosilikat (PE-TEOS) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet, während für die mittlere Schicht **110b** auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet wird. Das auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierende Siliziumdioxid ( $\text{SiO}_2$ ) wird dabei üblicherweise in einem PECVD-Prozess (PECVD = plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) abgeschieden.

**[0065]** Anschließend werden durch den Schichtstapel **301** sowie die zweiten Löcher **107** hindurch und in das Substrat **102** hineinreichende erste Aussparungen **302** geätzt (vgl. noch nicht fertiggestellte Leiterbahnanordnung **300** in **Fig. 3**). Die ersten Aussparungen **302** weisen dabei jeweils eine laterale Breite **A** auf, welche der lateralen Dimension des jeweiligen zweiten Lochs **107** entspricht. Die ersten Aussparungen **302** enden vertikal unterhalb der Substratoberfläche **103**.

**[0066]** Nun wird ein selektiver Abscheideprozess durchgeführt. Dazu wird gemäß dem Ausführungsbeispiel auf ozon-aktiviertem Tetraethylorthosilikat ( $\text{O}_3$ /TEOS) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) verwendet, welches sich nur an auf plasmaangeregtem Silan ( $\text{SiH}_4$ ) basierendem Siliziumdioxid ( $\text{SiO}_2$ ) abscheiden lässt.

**[0067]** Aufgrund des selektiven Abscheideprozesses bilden sich zunächst an der mittleren Schicht

**110b** des Schichtstapels **301** wulstartige Teile **113** aus. Aufgrund der vorliegenden Geometrie bilden sich somit in jeder ersten Aussparung **302** genau zwei sich gegenüberliegende wulstartige Teile **113** aus.

**[0068]** Diese sich gegenüberliegenden wulstartigen Teile **113** verbinden sich bei fortgesetztem selektivem Abscheideprozess mittig, d.h. bei **A/2**, stoffschlüssig miteinander zu jeweils einem Stopfen **111** in jeder ersten Aussparung **302**. Jeder Stopfen **111** schließt die jeweils zugehörige erste Aussparung **302** nach oben hin ab und bildet aus dieser einen Hohlraum **112** (vgl. noch nicht fertiggestellte Leiterbahnanordnung **400** in **Fig. 4**).

**[0069]** Aufgrund des aus zwei wulstartigen Teilen **113** zusammengesetzten Stopfens **111** ergeben sich für jeden Hohlraum **112** eine benachbart zum Schichtstapel **301** befindliche Randhöhe  $H_R$  und eine in der lateralen Mitte des Hohlraums **112**, d.h. bei **A/2**, befindliche Mittenhöhe  $H_M$ , wobei die Mittenhöhe  $H_M$  größer als die Randhöhe  $H_R$  ist. Der im oberen Bereich des Hohlraums **112**, direkt unter dem Stopfen **111** und lateral in der Mitte des Hohlraums **112**, d.h. bei **A/2**, befindliche Raum stellt anschaulich einen Zwickel dar.

**[0070]** Die Position des Stopfens **111** lässt sich in der Höhe relativ zum Substrat **102** dadurch exakt einstellen, dass erstens die Schichtdicke der unteren Schicht **110a** während des Erzeugens der unteren Schicht **110a** genau eingestellt werden kann und dass zweitens das den Stopfen **111** ausbildende elektrische Isolationsmaterial mittels des selektiven Abscheideprozesses nur an der mittleren Schicht **110b** aufgebracht wird.

**[0071]** Während eines isotropen Ätzprozesses werden die ersten Aussparungen **302** über den Stopfen **111** derart vergrößert, d.h. Material der oberen Schicht **110c** entfernt, dass über jedem Stopfen **111** eine vergrößerte Aussparung **501** entsteht. Diese vergrößerten Aussparungen **501** weisen eine laterale Breite **B** auf, welche größer ist als die laterale Breite **A** der Hohlräume **112** (vgl. noch nicht fertiggestellte Leiterbahnanordnung **500** in **Fig. 5**). Eine jede vergrößerte Aussparung **501** erstreckt sich lateral über beide Seiten des zugehörigen Stopfens **111** hinaus.

**[0072]** Zum Erzeugen einer zweiten Ätzstoppschicht **114** werden dann die vergrößerten Aussparungen **501** gemäß dem Ausführungsbeispiel mit Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) aufgefüllt (vgl. noch nicht fertiggestellte Leiterbahnanordnung **600** in **Fig. 6**). Dazu wird zunächst das gemäß dem Ausführungsbeispiel für die zweite Ätzstoppschicht **114** verwendete Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) die vergrößerten Aussparungen **501** überfüllend abgeschieden und anschließend das zu viel abgeschiedene Material in einem chemisch-me-



chanischen Poliervorgang vertikal wieder entfernt, bis die obere Schicht **110c** des Schichtstapels **301** wieder freigelegt ist und eine zur Substratoberfläche **103** im Wesentlichen parallele erste Hilfs-oberfläche **601** erzeugt ist. Auch die einzelnen Teile der zweiten Ätzstoppschicht **114** weisen ebenso wie die vergrößerten Aussparungen **501** eine laterale Breite **B** auf, welche größer als die laterale Breite **A** des jeweils darunter befindlichen Hohlraums **112** ist.

**[0073]** In **Fig. 7** ist ein Querschnitt senkrecht zur Substratoberfläche **103** durch eine noch nicht fertiggestellte Leiterbahnanordnung **700** zu einem sechsten Zeitpunkt während des Verfahrens zum Herstellen der Leiterbahnanordnung **100** gemäß **Fig. 1** gezeigt.

**[0074]** Unter Verwenden der zweiten Ätzstoppschicht **114** wurde die noch nicht fertiggestellte Leiterbahnanordnung **600** in einem bezüglich des Materials der zweiten Ätzstoppschicht **114** selektiven, anisotropen Ätzprozess geätzt, wobei zweite Aussparungen **701** erzeugt wurden. Als selektiver, anisotroper Ätzprozess kommt gemäß dem Ausführungsbeispiel reaktives Ionenätzen unter Verwenden einer Kohlenstoff-Fluor-Verbindung (z.B.  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ ,  $\text{CHF}_3$ ) zum Einsatz.

**[0075]** Dieser anisotrope Ätzprozess entfernt zunächst die nicht von der zweiten Ätzstoppschicht **114** bedeckten Bereiche des Schichtstapels **301** vollständig, bis die erste Ätzstoppschicht **105** erreicht wird.

**[0076]** Außerdem entfernt der anisotrope Ätzprozess nach dem Freilegen der ersten Ätzstoppschicht **105** durch die ersten Löcher **106** hindurch das direkt unter den ersten Löchern **106** befindliche Substratmaterial, bis die vergrabenen Leiterbahnen **104** freigelegt werden.

**[0077]** Zwischen der ersten Ätzstoppschicht **105** und der zweiten Ätzstoppschicht **114** bleibt dabei ein kleiner Rest des Schichtstapels **301** in der Form von Wandschichten **110** bestehen. Unter der zweiten Ätzstoppschicht **114** begrenzen nun jeweils zwei benachbarte Wandschichten **110** den jeweiligen dazwischen angeordneten Hohlraum **112**. Die laterale Dicke einer jeden Wandschicht **110** kann auf geringe Werte eingestellt werden und beträgt im Wesentlichen die Hälfte des Ergebnisses aus lateraler Breite **B** der vergrößerten Aussparung **501** abzüglich lateraler Breite **A** des Hohlraums **112**.

**[0078]** Die zweiten Aussparungen **701** weisen neben den Wandschichten **110** eine laterale Breite auf, welche den lateralen Dimensionen der bezüglich der zweiten Ätzstoppschicht **114** freiliegenden Bereiche entspricht. Zwischen den ersten Löchern **106** und den vergrabenen Leiterbahnen **104** weisen die zweiten Aussparungen **701** eine laterale Breite auf, wel-

che den lateralen Dimensionen der ersten Löcher **106** entspricht. Die zweiten Aussparungen **701** definieren im Bereich neben den Wandschichten **110** die Gräben für die noch herzustellenden Leiterbahnen **108** und im Bereich zwischen den ersten Löchern **106** und den vergrabenen Leiterbahnen **104** die Öffnungen für die noch herzustellenden elektrischen Kontakte **109**. Die elektrischen Kontakte **109** werden oftmals auch als Vias bezeichnet.

**[0079]** Nun werden die Wände der zweiten Aussparungen **701** vorzugsweise mit einer dünnen Barrierenschicht (nicht dargestellt) bedeckt, um eine Diffusion von elektrisch leitfähigem Material in die elektrisch isolierenden Wandschichten **110**, in die erste Ätzstoppschicht **105** sowie in das elektrisch isolierende Substrat **102** zu verhindern. Als Material für die dünne Barrierenschicht kann beispielsweise Tantal (Ta), Tantalnitrid ( $\text{TaN}$ ), Titan (Ti) oder Titanitrid ( $\text{TiN}$ ) verwendet werden.

**[0080]** Anschließend werden die zweiten Aussparungen **701** mit elektrisch leitfähigem Material, gemäß dem Ausführungsbeispiel mit Kupfer, zum Bilden elektrisch leitfähiger Füllungen **801** überfüllt. Das überfüllte elektrisch leitfähige Material wird danach mittels eines chemisch-mechanischen Poliervorganges wieder entfernt. Der chemisch-mechanische Poliervorgang endet, wenn die zweite Ätzstoppschicht **114** wieder freigelegt ist und eine zur Substratoberfläche **103** im Wesentlichen parallele zweite Hilfs-oberfläche **802** gebildet ist (vgl. noch nicht fertiggestellte Leiterbahnanordnung **800** in **Fig. 8**).

**[0081]** Das elektrisch leitfähige Material der elektrisch leitfähigen Füllungen **801** wird nun in einem vorzugsweise nasschemischen Ätzprozess zurückgeätzt. Aus den elektrisch leitfähigen Füllungen **801** werden auf diese Weise die Leiterbahnen **108** mit darüber angeordneten freigelegten Bereichen **901** gebildet (vgl. noch nicht fertiggestellte Leiterbahnanordnung **900** in **Fig. 9**). Der nasschemische Ätzprozess endet, wenn sich die Oberkante der entstehenden Leiterbahnen **108** unter der Unterkante der Stopfen **111** im Bereich der Wandschichten **110** befindet. Dadurch, dass sich die Oberkante der entstehenden Leiterbahnen **108** unter der Unterkante der an die Wandschichten **110** angrenzenden Stopfen **111** befindet, wird sichergestellt, dass jeweils der bezüglich einer Leiterbahn **108** lateral benachbart angeordnete Hohlraum **112** vertikal sowohl nach oben als auch nach unten über die jeweilige Leiterbahn **108** hinausragt.

**[0082]** Bei dem nasschemischen Ätzprozess wird gemäß dem Ausführungsbeispiel eine Lösung aus Eisen(III)chlorid ( $\text{FeCl}_3$ ), Ammoniumperoxodisulfat ( $(\text{NH}_4)_2\text{S}_2\text{O}_8$ ), Salpetersäure ( $\text{HNO}_3$ ), Kupfer(II)chlorid ( $\text{CuCl}_2$ ), Natriumchlorit ( $\text{NaClO}_2$ ), Natriumperoxodisulfat/Schwefelsäure ( $\text{Na}_2\text{S}_2\text{O}_8/\text{H}_2\text{SO}_4$ ) oder Salz-

säure/Wasserstoffperoxid ( $\text{HCl}/\text{H}_2\text{O}_2$ ) verwendet.

**[0083]** Die an den Wandschichten **110** befindliche dünne Barrierenschicht (nicht dargestellt) wird in den freigelegten Bereichen **901** ebenfalls freigelegt. Die freigelegten Abschnitte der dünnen Barrierenschicht werden nun vorzugsweise wieder entfernt. Dazu kommt gemäß dem Ausführungsbeispiel ein Plasmaätzprozess mit isotroper Komponente zum Einsatz.

**[0084]** Nach dem Erzeugen der noch nicht fertiggestellten Leiterbahnanordnung **900** werden zum Herstellen der fertigen Leiterbahnanordnung **100** noch eine Barrierenschicht **115**, eine elektrische Isolationsschicht **116** sowie eine dritte Ätzstoppschicht **118** wie nachfolgend beschrieben erzeugt.

**[0085]** Auf den nunmehr freiliegenden Leiterbahnen **108** wird jeweils eine Barrierenschicht **115** erzeugt, welche eine Diffusion von elektrisch leitfähigem Material der Leiterbahnen **108** in die noch zu erzeugende, über den Leiterbahnen **108** angeordnete elektrische Isolationsschicht **116** verhindern sollen. Die Barrierenschichten **115** werden gemäß dem Ausführungsbeispiel mittels elektrochemischer Abscheidung erzeugt. Als Material für die Barrierenschichten **115** wird gemäß dem Ausführungsbeispiel eine Kobalt-Wolfram-Phosphor-Legierung (CoWP) verwendet. Alternativ kann auch eine Kobalt-Wolfram-Bor-Legierung (CoWB) verwendet werden.

**[0086]** Anschließend werden die Reste der freiliegenden Bereiche **901** mit einem elektrischen Isolationsmaterial in einem konformen Abscheidungsprozess überfüllt, bis das abgeschiedene elektrische Isolationsmaterial deutlich über die zweite Ätzstoppschicht **114** übersteht. In einem nachfolgenden chemisch-mechanischen Poliervorgang wird das abgeschiedene elektrische Isolationsmaterial zum Ausbilden der elektrischen Isolationsschicht **116** eingeebnet, wobei eine zur Substratoberfläche **103** im Wesentlichen parallel angeordnete Zwischenoberfläche **117** ausgebildet wird. Der chemisch-mechanische Poliervorgang endet, bevor die Zwischenoberfläche **117** die zweite Ätzstoppschicht **114** erreicht, d.h. bevor die zweite Ätzstoppschicht **114** freigelegt wird. Gemäß dem Ausführungsbeispiel wird als elektrisches Isolationsmaterial für die elektrische Isolationsschicht **116** Siliziumdioxid ( $\text{SiO}_2$ ) verwendet. Alternativ kann für die elektrische Isolationsschicht **116** auch ein isolierendes low-k-Material mit einer niedrigen relativen Dielektrizitätskonstante  $\epsilon_r$  verwendet werden.

**[0087]** Über der elektrischen Isolationsschicht **116** wird nun eine dritte Ätzstoppschicht **118** aufgebracht, welche von der Leiterbahnanordnungsoberfläche **101** nach oben hin begrenzt wird. Die dritte Ätzstoppschicht **118** hat für zusätzlich noch aufzubringende Metallisierungsebenen die gleiche Funktion inne wie

die erste Ätzstoppschicht **105** für die Metallisierungsebene mit den Leiterbahnen **108**. Gemäß dem Ausführungsbeispiel wird als Material für die dritte Ätzstoppschicht **118** wiederum Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) verwendet.

**[0088]** Daraus resultiert dann die in Fig. 1 dargestellte fertige Leiterbahnanordnung **100** gemäß dem Ausführungsbeispiel der Erfindung.

**[0089]** Fig. 10 zeigt eine Draufsicht auf die noch nicht fertiggestellte Leiterbahnanordnung **200** aus Fig. 2, d.h. bei einer Betrachtung der noch nicht fertiggestellten Leiterbahnanordnung **200** entgegen der Richtung des Normalenvektors der im Wesentlichen ebenen Substratoberfläche **103**.

**[0090]** In Fig. 10 ist ein Beispiel für die Anordnung der ersten und zweiten Löcher **106**, **107** dargestellt. Die erste Ätzstoppschicht **105** bedeckt die Substratoberfläche **103** derart, dass mittels den ersten und zweiten Löchern **106**, **107** die Substratoberfläche **103** teilweise freigelegt ist und somit in der Darstellung von Fig. 10 sichtbar ist.

**[0091]** In der Regel existiert in der hier dargestellten Draufsicht ein deutlicher Unterschied in der Form der ersten und zweiten Löcher **106**, **107**. Da die ersten Löcher **106** für die noch herzustellenden elektrischen Kontakte **109** vorgesehen sind, haben die ersten Löcher **106** in der dargestellten Draufsicht in der Regel die Form einer Ellipse, eines Kreises, eines Rechtecks oder eines Quadrates. Gemäß dem dargestellten Ausführungsbeispiel haben die ersten Löcher **106** in der dargestellten Draufsicht die Form von Rechtecken, fast Quadraten. Die zweiten Löcher **107** sind für die noch herzustellenden Hohlräume **112** vorgesehen und haben daher in der Regel die Form von lang gezogenen Schlitzten. In der dargestellten Draufsicht weisen die zweiten Löcher **107** eine Hauptausdehnungsrichtung auf, welche in Fig. 10 von links nach rechts gerichtet ist und welche erheblich größer als irgendeine der Dimensionen der ersten Löcher **106** sein kann.

**[0092]** Wie in Fig. 10 angedeutet ist, können insbesondere entlang der Hauptausdehnungsrichtung der zweiten Löcher **107**, d.h. von links nach rechts in Fig. 10, mehrere erste Löcher **106** in Folge benachbart zu jeweils einem zweiten Loch **107** angeordnet sein.

**[0093]** Außerdem wird aus Fig. 10 offensichtlich, dass an einer beliebigen Senkrechten zu der Hauptausdehnungsrichtung der zweiten Löcher **107**, d.h. von oben nach unten in Fig. 10, nicht notwendigerweise immer ein erstes Loch **106** zwischen zwei benachbarten zweiten Löchern **107** angeordnet sein muss.

[0094] In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] J.G. Fleming et al.: „Lowering of Intralevel Capacitance Using Air Gap Structures“, Conference Proceedings ULSI XII, Materials Research Society, pp. 471-477, 1997
- [2] T. Ueda et al.: „A Novel Air Gap Integration Scheme for Multi-level Interconnects using Self-aligned Via Plugs“, IEEE Proc. 1998 Symp. VLSI Techn. Digest of Technical Papers, pp. 46-47, 1998
- [3] B. Shieh et al.: „Integration and Reliability Issues for Low Capacitance Air-Gap Interconnect Structure“, IEEE Proc. 1998 IITC, pp. 125-127, 1998
- [4] B. Shieh et al.: „Air-Gap Formation During IMD Deposition to Lower Interconnect Capacitance“, IEEE Electron Device Letters, Vol. 19, No. 1, pp. 16-18, 1998
- [5] B. Shieh et al.: „Air gaps lower k of interconnect dielectrics“, Solid State Technology, pp. 51-58, February 1999
- [6] T. Ueda et al.: „Integration of 3 Level Air Gap Interconnect for Sub-quarter Micron CMOS“, IEEE Proc. 1999 Symp. VLSI Techn. Digest of Technical Papers, 1999
- [7] V. Arnal et al.: „Integration of a 3 Level Cu-SiO<sub>2</sub> Air Gap Interconnect for Sub 0.1 micron CMOS Technologies“, IEEE Proc. 2001 IITC, 2001
- [8] V. Arnal et al.: „A Novel SiO<sub>2</sub>-Air Gap Low K for Copper Dual Damascene Interconnect“, Conference Proceedings ULSI XVI, Materials Research Society, pp. 71-76, 2001
- [9] DE 199 57 302 C2
- [10] T. Kusuki et al., Extended Abstracts of the Electrochemical Society, Vol. 93, No. 1, p. 375, 1993

#### Bezugszeichenliste

100	Leiterbahnanordnung gemäß Ausführungsbeispiel
101	Leiterbahnanordnungsoberfläche
102	Substrat
103	Substratoberfläche
104	vergrabene Leiterbahn
105	erste Ätzstoppschicht
106	erstes Loch
107	zweites Loch
108	Leiterbahn
109	elektrischer Kontakt
110	Wandschicht
110a	untere Schicht
110b	mittlere Schicht
110c	obere Schicht
111	Stopfen
112	Hohlraum
113	wulstartiges Teil
114	zweite Ätzstoppschicht
115	Barrierschicht
116	elektrische Isolationsschicht
117	Zwischenoberfläche
118	dritte Ätzstoppschicht

A	laterale Breite des Hohlraums
B	laterale Breite der zweiten Ätzstoppschicht
H <sub>M</sub>	Mittenhöhe des Hohlraums
H <sub>R</sub>	Randhöhe des Hohlraums
200	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem ersten Zeitpunkt während eines Herstellungsverfahrens
300	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem zweiten Zeitpunkt während des Herstellungsverfahrens
301	Schichtstapel
302	erste Aussparung
400	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem dritten Zeitpunkt während des Herstellungsverfahrens
500	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem vierten Zeitpunkt während des Herstellungsverfahrens
501	vergrößerte Aussparung
600	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem fünften Zeitpunkt während des Herstellungsverfahrens
601	erste Hilfsoberfläche
700	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem sechsten Zeitpunkt während des Herstellungsverfahrens
701	zweite Aussparung
800	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem siebten Zeitpunkt während des Herstellungsverfahrens
801	elektrisch leitfähige Füllung
802	zweite Hilfsoberfläche
900	noch nicht fertiggestellte Leiterbahnanordnung gemäß Ausführungsbeispiel zu einem achten Zeitpunkt während des Herstellungsverfahrens
901	freigelegter Bereich
902	Leiterbahnoberfläche

#### Patentansprüche

- Verfahren zum Herstellen einer Leiterbahnanordnung,
  - bei dem über einem Substrat mit einer vergrabenen Leiterbahn eine erste Schicht erzeugt wird, welche

ein erstes Loch sowie ein zweites Loch aufweist, wobei mittels der beiden Löcher das Substrat freigelegt wird und wobei mindestens das erste Loch lateral oberhalb der mindestens einen vergrabenen Leiterbahn angeordnet wird,

- bei dem über der ersten Schicht ein Schichtstapel mit einer unteren Schicht sowie einer oberen Schicht und mit einer mittleren Schicht aus einem ersten elektrischen Isolationsmaterial erzeugt wird,
- bei dem durch den Schichtstapel sowie das zweite Loch hindurch und in das Substrat hineinreichend eine erste Aussparung erzeugt wird,
- bei dem in der ersten Aussparung an der mittleren Schicht ein Stopfen erzeugt wird, welcher die erste Aussparung nach oben hin abschließt, womit ein Hohlraum gebildet wird,
- bei dem die obere Schicht des Schichtstapels oberhalb des Stopfens teilweise entfernt wird, so dass über dem Stopfen eine vergrößerte Aussparung mit einer lateralen Ausdehnung erzeugt wird, welche größer ist als die laterale Ausdehnung des Hohlraums,
- bei dem in der vergrößerten Aussparung eine zweite Schicht erzeugt wird, wobei die zweite Schicht die vergrößerte Aussparung ausfüllt, und
- bei dem unter Verwenden der zweiten Schicht als Ätzmaske der Schichtstapel sowie das Substrat durch das erste Loch hindurch anisotrop geätzt werden, bis die mindestens eine vergrabene Leiterbahn zumindest teilweise freigelegt ist, wodurch eine zweite Aussparung erzeugt wird.

2. Verfahren gemäß Anspruch 1, bei dem in der zweiten Aussparung ein elektrischer Kontakt erzeugt wird.

3. Verfahren gemäß Anspruch 1 oder 2, bei dem in der zweiten Aussparung lateral neben der unteren Schicht eine zusätzliche Leiterbahn erzeugt wird.

4. Verfahren gemäß Anspruch 3, bei dem die zusätzliche Leiterbahn mittels eines elektrischen Kontakts mit der mindestens einen vergrabenen Leiterbahn elektrisch gekoppelt wird.

5. Verfahren gemäß Anspruch 3 oder 4, bei dem die zusätzlichen Leiterbahnen und/oder der elektrische Kontakt dadurch erzeugt werden, dass elektrisch leitfähiges Material in die zweite Aussparung eingebracht wird, bis dieses über die zweite Schicht übersteht, dass dann das überstehende elektrisch leitfähige Material entfernt wird, und dass daraufhin das elektrisch leitfähige Material in der zweiten Aussparung mittels einer Ätzung bis unter den Stopfen zurückgeätzt wird.

6. Verfahren gemäß Anspruch 5, bei dem das Entfernen des über die zweite Schicht überstehenden elektrisch leitfähigen Materials mittels chemisch-mechanischen Polierens erfolgt, wobei das

überstehende elektrisch leitfähige Material auf eine gemeinsame Oberfläche mit der zweiten Schicht eingeebnet wird.

7. Verfahren gemäß Anspruch 6 oder 7, bei dem die Ätzung des elektrisch leitfähigen Materials isotrop erfolgt.

8. Verfahren gemäß einem der Ansprüche 1 bis 7, bei dem das erste Loch sowie das zweite Loch mittels einer geeigneten Strukturierung der ersten Schicht erzeugt werden.

9. Verfahren gemäß einem der Ansprüche 1 bis 8, bei dem die erste Aussparung mittels einer anisotropen Ätzung erzeugt wird.

10. Verfahren gemäß einem der Ansprüche 1 bis 9, bei dem der Stopfen dadurch erzeugt wird, dass in der ersten Aussparung ein zweites elektrisches Isolationsmaterial aufgebracht wird, welches sich selektiv an dem ersten elektrischen Isolationsmaterial der mittleren Schicht des Schichtstapels aufbringen lässt, wobei sich im Längsschnitt durch die erste Aussparung zwei wulstartige Teile an den Grenzflächen der mittleren Schicht ausbilden, welche sich mittig stoffschlüssig verbinden.

11. Verfahren gemäß einem der Ansprüche 1 bis 10, bei dem die mindestens eine vergrabene Leiterbahn sowie der eventuell vorhandene elektrische Kontakt sowie die eventuell vorhandene zusätzliche Leiterbahn mit einer Kapselschicht aus einem Kapselmaterial umschlossen wird/werden, wobei das Kapselmaterial mechanisch härter als ein für die Leiterbahnen sowie den elektrischen Kontakt verwendetes elektrisch leitfähiges Material und/oder ein für das elektrisch leitfähige Material als Barriere wirkendes Material ist.

## 12. Leiterbahnanordnung

- mit einem Substrat,
- mit mindestens einer in dem Substrat vergrabenen Leiterbahn,
- mit zwei über dem Substrat nebeneinander angeordneten zusätzlichen Leiterbahnen, wobei mindestens eine zusätzliche Leiterbahn mittels eines elektrischen Kontakts mit der mindestens einen vergrabenen Leiterbahn elektrisch gekoppelt ist,
- mit einer Deckschicht, welche die zwei zusätzlichen Leiterbahnen bzw. das Substrat vollständig überdeckt,
- mit einem Hohlraum zwischen den zwei zusätzlichen Leiterbahnen, welcher sich von innerhalb der Deckschicht bis in das Substrat hinein erstreckt,
- mit Wandschichten, welche den Hohlraum lateral zu den zwei zusätzlichen Leiterbahnen sowie zu der Deckschicht begrenzen,
- mit einem über dem Hohlraum sowie zwischen zwei benachbarten Wandschichten angeordneten Stop-

fen,

- mit einer ersten Schicht zwischen dem Substrat und den zwei zusätzlichen Leiterbahnen bzw. den Wandschichten, und
- mit einer zweiten Schicht auf dem Stopfen und den zwei benachbarten Wandschichten vergraben in der Deckschicht.

13. Leiterbahnanordnung gemäß Anspruch 12, bei der die Wandschichten übereinander eine untere Schicht, eine mittlere Schicht aus einem ersten elektrischen Isolationsmaterial und darüber eine obere Schicht aufweisen.

14. Leiterbahnanordnung gemäß Anspruch 12 oder 13, bei der der Stopfen zwischen zwei benachbarten Wandschichten im Bereich der mittleren Schicht angeordnet ist und ein zweites elektrisches Isolationsmaterial aufweist, welches sich selektiv an dem ersten elektrischen Isolationsmaterial aufbringen lässt.

15. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 14, bei der auf der Deckschicht eine dritte Schicht angeordnet ist.

16. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 15, bei der das erste elektrische Isolationsmaterial und das zweite elektrische Isolationsmaterial gleich sind.

17. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 16, bei der zwischen den zwei zusätzlichen Leiterbahnen und der Deckschicht eine Barrierschicht angeordnet ist, welche ein für das Material der zwei zusätzlichen Leiterbahnen als Barriere wirkendes Material aufweist.

18. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 17, bei der der Hohlraum in der Mitte zwischen zwei benachbarten Wandschichten eine größere vertikale Ausdehnung aufweist als direkt neben einer der zwei benachbarten Wandschichten.

19. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 18, bei der die zwei zusätzlichen Leiterbahnen, die vergrabene Leiterbahn sowie der elektrische Kontakt von einer Kapselschicht aus einem Kapselmaterial umschlossen sind, wobei das Kapselmaterial mechanisch härter als das Material der Leiterbahnen/des elektrischen Kontakts und/oder ein für das Material der Leiterbahnen als Barriere wirkendes Material ist.

20. Leiterbahnanordnung gemäß einem der Ansprüche 12 bis 19, bei der der Stopfen aus zwei wulstartigen Teilen gebildet ist, welche mittig stoffschlüssig miteinander verbunden sind.

Es folgen 5 Blatt Zeichnungen

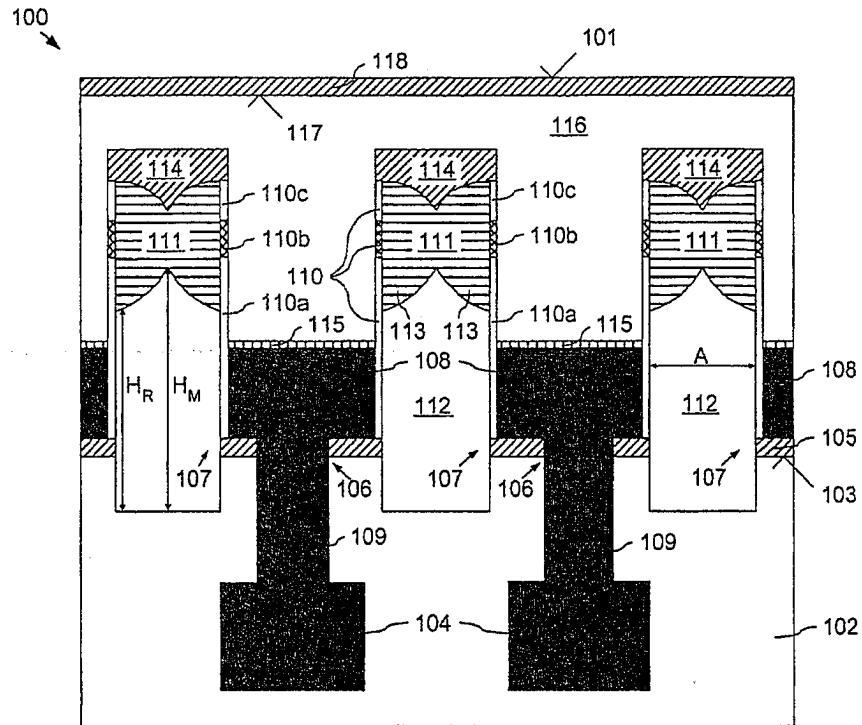


Fig.1

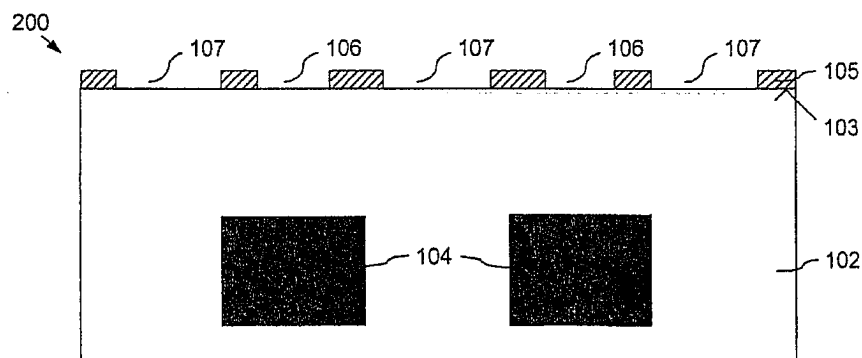


Fig.2

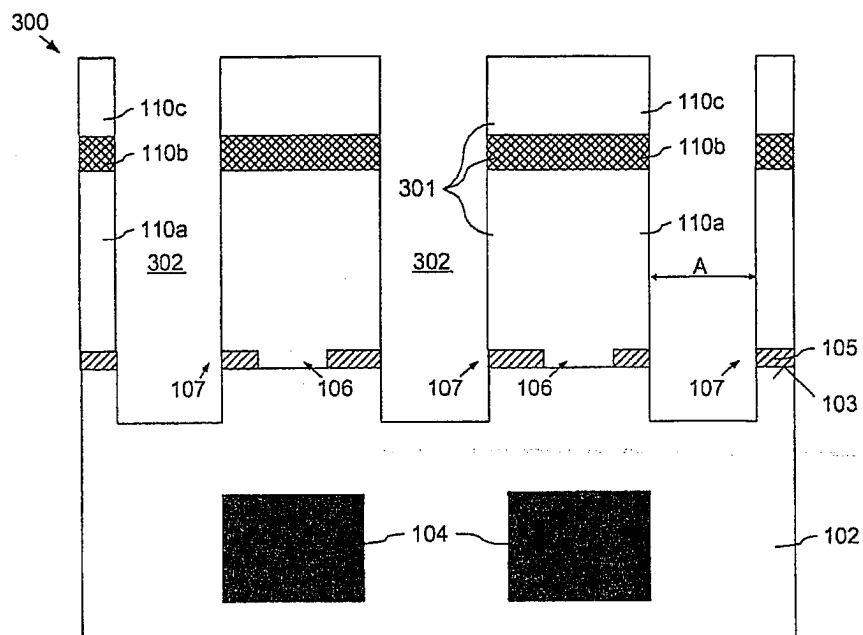


Fig.3

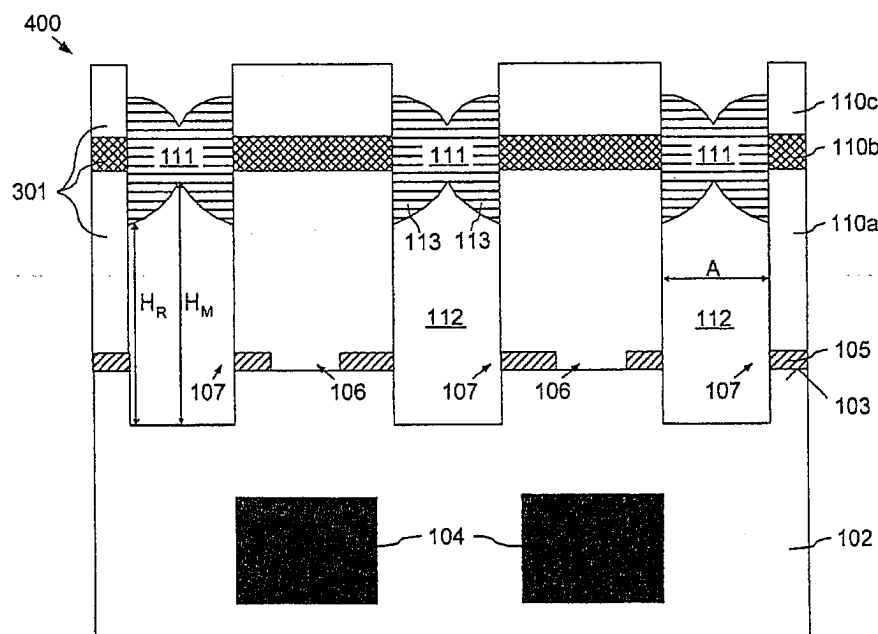


Fig.4

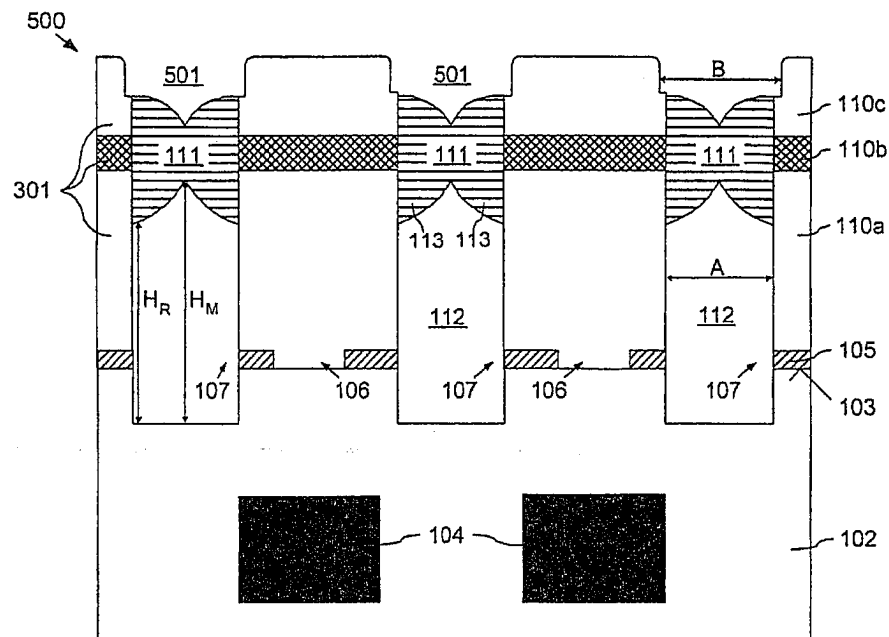


Fig.5

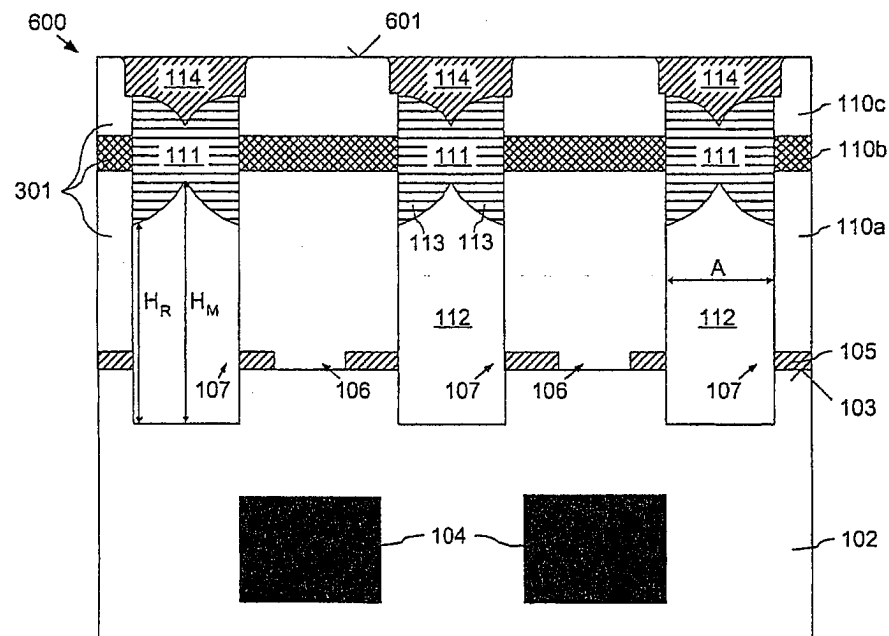


Fig.6



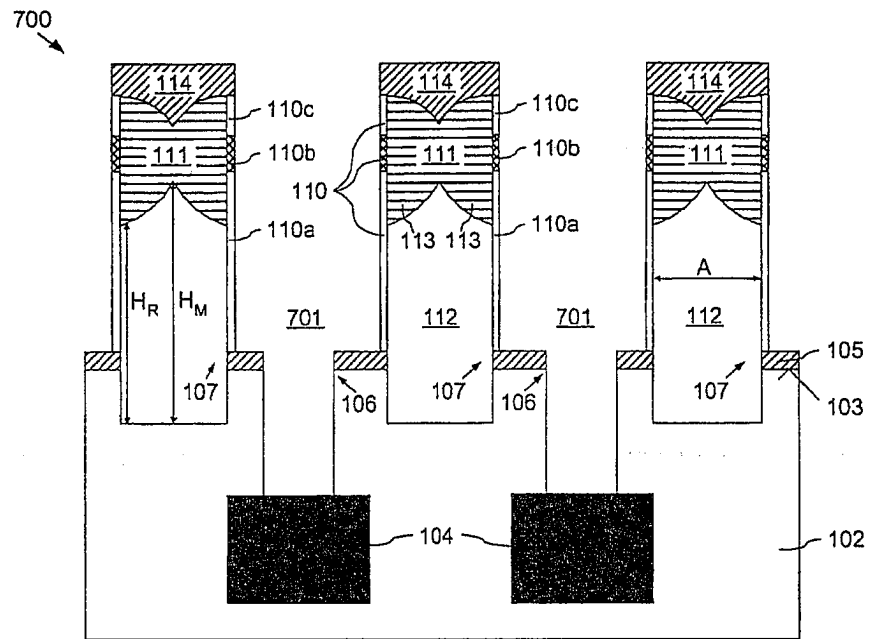


Fig. 7

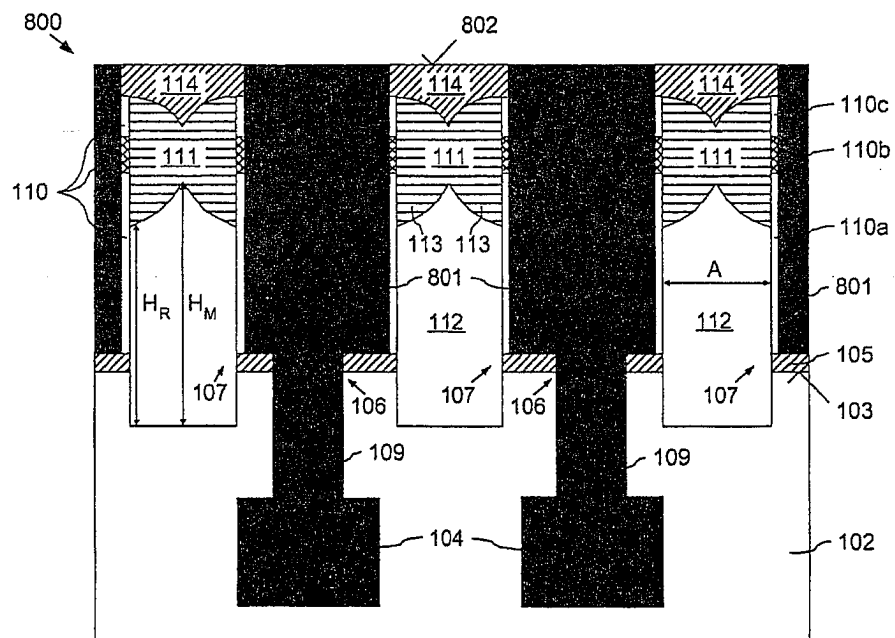


Fig. 8

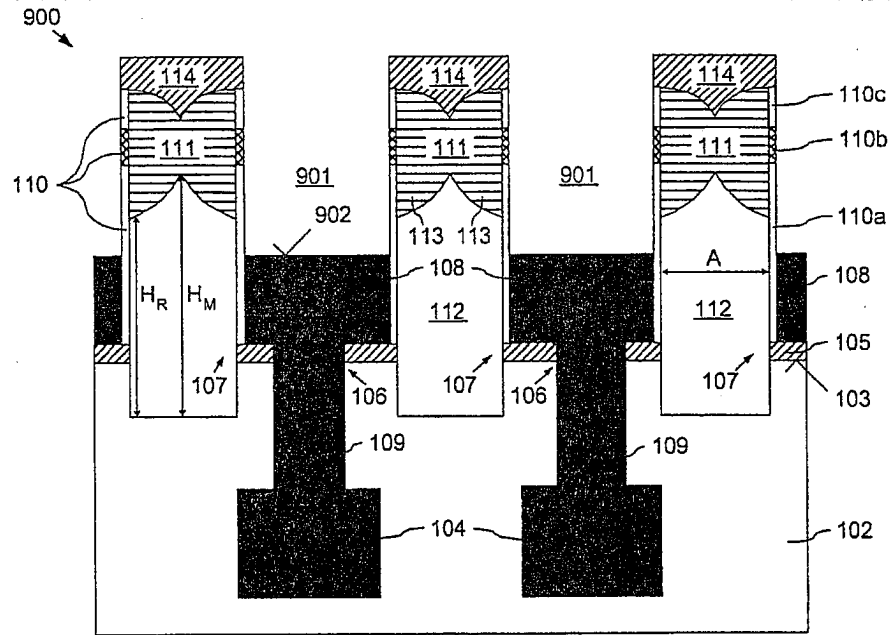


Fig.9

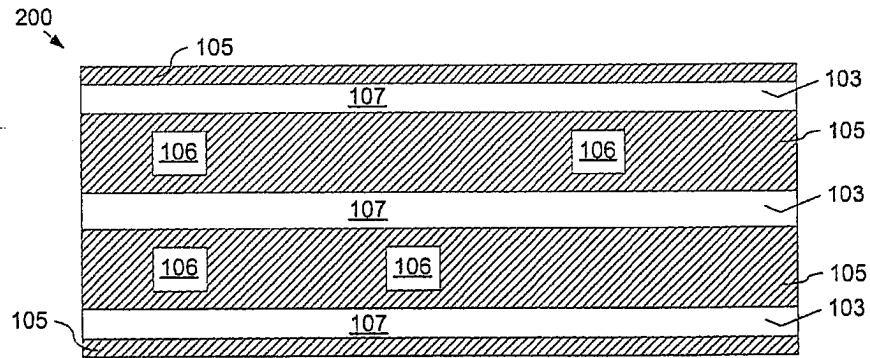


Fig.10